

第四章 結果與討論

§ 4-1 室溫下鍍膜，再後退火

此薄膜之製備是以 50W 鍍製 100nm BST，再分別在 500、600、700 下以 RT0(Rapid thermal O_2 annealing)退火 3min，使 BST 能夠成相。RTA(Rapid thermal annealing)目前已廣泛運用在 IC 半導體之製程上，其優點為退火時間短，及製程簡單，並可避免高溫退火時不必要的交互擴散(interdiffusion)。本實驗最主要是要驗證退火製程溫度對於電性之影響。

(1)退火溫度對 X-ray pattern 之影響

在室溫鍍出之 BST 薄膜為非晶(amorphous)，其 X-ray pattern 只能看到 Si (200)之繞射峰。室溫下鍍膜再在 500 、600 、700 退火的 X-ray pattern，如圖 4-1。我們可以看到，只有在 700 下退火才可同時看到 IrO_2 及 BST 之繞射峰。而在 600 下退火只能看到 IrO_2 的繞射峰，這和文獻^[77]中之結果相吻合，文獻中提到如要氧化 Ir 並形成 IrO_2 至少要 600 。至於 500 下退火的結果是只能看到 Si (200)之繞射峰；我們可以看到 600 、700 之 IrO_2 具有(110)之優選方向。而 700 中 BST 亦有(110)之優選方向。從以上之結果，我們可以發現退火溫度越高，BST 之晶體結構亦較好，且 IrO_2 亦有較

好的晶體結構。

(2) 退火溫度對介電常數(K 值)的影響

在 500 、 600 、 700 退火之介電常數，如圖 4-2。其 K 值皆隨著頻率上升而下降。且我們可以發現 700 的 K 值較 500、600 高出很多，而 600 亦較 500 為高。這由 X-ray pattern 就可以看出，因為只有 700 才可明顯看到 BST(110) 之繞射峰。如果以此結果與之後會提到的高溫鍍膜做比較，我們發現高溫鍍膜之 K 值遠高於室溫鍍膜再做後退火。這理由其實很簡單，因為在高溫鍍膜等於一面鍍膜一面退火，其結構本來就應該會較好。

(3) 鍍膜溫度對漏電流之影響

在 500 、 600 、 700 退火之漏電流，如圖 4-3。我們發現漏電流隨退火溫度上升而急劇上升，而且崩潰電壓亦較差。這可能是因為在 500 時，退火並未造成結晶而仍是非晶，故漏電流很小；而在 600 、 700 退火時，因為已結晶，以致於漏電流變大，且崩潰電場變小。

§ 4-2 高溫下鍍膜

高溫鍍膜是目前較常用於 BST 之鍍膜方式，其優點除能給到達基板(substrate)上之粒子較高之能量，使之能移至具較低能量態之位

置，並會有較好之結晶性。其次高溫鍍膜其間，就等於在高溫中退火。
故一般高溫鍍膜後之電性，即會有不錯之表現。

(1) 鍍膜溫度對薄膜性質之影響

(a) 鍍膜溫度對結晶性之影響

我們先選定以 50W 之功率，及 47mtorr 之工作壓力，分別在 450、500、550 下鍍膜。我們可由圖 4-4 看到不同溫度鍍膜其 X-ray pattern 之變化。我們可以看到在所有的溫度都會有 IrO_2 的形成，且都具有 $\text{IrO}_2(110)$ 之優選方向，並隨著鍍膜溫度的上升，其繞射峰強度亦跟著上升。而在 BST 方面我們可以看到 600 下鍍膜有很強的 (111) 優選方向，且當溫度越高時其 (111) 繞射峰之強度越強。由以上之結果我們可以發現，當鍍膜溫度越高，BST 及 IrO_2 都將具有較好的結晶結構。

(b) 鍍膜溫度對介電常數(K 值)之影響

由圖 5-4 中發現，當鍍膜溫度越高時，其 K 值亦越高。其中以 550 之 K 值最高，其頻率為 1KHz 時，其 K 值可達 926。而 500 及 450 的 K 值分別為 606 及 496(但 600 因漏電流很大無法量測)。這在 100nm 是非常好的結果，目前文獻^[78]中提到在 500 下，介電常數

最好結果約為 600，和我們目前的結果差不多。所不同的是，文獻中要達到此一結果必須做熱退火^[79]，但我在初鍍膜便有此一結果。影響介電常數的原因相當多，但我們比較 550 同樣條件下，分別以 Pt、Ir 下電極鍍製 BST，其介電常數相差將近 4 倍左右，如果單看晶粒大小(BST(Pt)：10nm、BST(Ir)：15nm)，並無如此大之差異，表示一定有別的因素(此處我們是以 AFM 估算晶粒大小，是將 AFM 圖中任意取幾條線，並估算這幾條線中的晶粒平均大小)。而由文獻中發現，當一般鍍製 BST 薄膜時，常形成許多氧空孔^[80]，而這些空孔為了降低能量，常會在缺陷處堆積，而一般的缺陷不外乎差排、晶界、與界面。相對於塊材，薄膜中介面所佔之比例明顯增加，並且隨著膜厚越薄比例越大。而在我的薄膜中，最主要的界面就是 BST 和上下電極之界面，故氧空孔極易在上下電極和 BST 薄膜界面處堆積。而這些氧空孔的堆積會在界面處形成一區域電場，並造成低介電層之形成，其效應有如串聯電容，使的整體電容值的下降^[81-83]。故有人提出以 Ir 做下電極，當鍍膜並做後退火後，會在 BST 和 Ir 之界面形成一層很薄的 IrO₂，而這層 IrO₂的形成，會提供一驅動力，造成氧會向界面處擴散，並會填補原本在 BST 及電極界面處之氧空孔，故而消除此一低電容層，並提升介電常數。而這可由 SIMS 縱深分佈及介電常數值的變化來證明^[84]。而我們能在初鍍膜就有如此良好的結果，原因也是如此，

並且由於我們是在一面鍍膜就會生成 IrO_2 ，故氧空孔的填補也是一面鍍膜時一面就會填補，其效果應比後退火還好。我們的製作方式是，在一相當高之工作氣壓(47mtorr)下，並以 $\text{Ar}/\text{O}_2=1$ 鍍膜時，極易在鍍膜時便形成一層 IrO_2 ，而一邊鍍膜 IrO_2 亦會一邊成長，並造成 O 原子會向界面流動，以填補界面處之氧空孔，不足的氧原子就由高工作氣氛中提供，如圖 4-6。另外值得一提的是此法並不需要退火，一般 IC 製程最怕的便是相互擴散，故高溫退火會造成很大的問題。又高溫退火是一般膜製鈦酸鋇鋇必要的製程，省去退火這一步驟可降低相互擴散，對 IC 製程的相容性亦大幅提高。

(c) 鍍膜溫度對漏電流之影響

由圖4-7中可發現，當溫度越高時，漏電流亦越大，崩潰電壓亦較小。
 $450 \sim 10^{-7} @ 100\text{KV}/\text{cm}$ 、 $500 \sim 5 \times 10^{-5} @ 100\text{KV}/\text{cm}$ 、 $550 \sim 10^{-2} @ 100\text{KV}/\text{cm}$ ，而550 同樣條件下Pt下電極之漏電流是其中最小的。表示除了因溫度越高結晶性越好，漏電流機制較多及較易崩潰外，另外還有別的因素影響漏電流得大小。而這可能的原因為 IrO_2 的過量形成，造成表面粗糙度過大，而使得膜厚極不均勻，而一般漏電都是從最易走的途徑，故較薄的區域，自然就會較易漏電^[84]；而較薄的區域其承受的電場也較大，固也較易崩潰，如圖4-8。而我們亦從表面粗糙度中得到證實，我們發現未鍍膜之Ir及Pt之表面粗糙度為13 Å及15 Å，而

550 鎢製鈦酸鋇鋁後表面粗糙度則分別為73.25 Å及19.58 Å，的確以Ir為下電極之表面粗糙度要高很多。而鍍膜溫度越高，膜的表面粗糙度亦越高，如圖4-9。450、500、550 之RMS分別為23.76、43.74、73.25Å。亦可解釋溫度越高漏電流越大之現象。

(3) 雙層結構

為了改善漏電流過大的問題，我們利用一雙層結構之方式。但在這之前我們先要討論的是 IrO_2 的生成原因，而 IrO_2 產生的原因可能有幾種，(1)未開 shutter 時電漿撞擊 Ir 下電極形成 IrO_2 (2)開始鍍膜時氧原子或離子與 Ir 基板反應而成(3)Ir 與 BST 反應生成 IrO_2 。針對以上幾種可能，我們首先不開 shutter，但有點起 plasma，並不會有 IrO_2 。再用純的 Ar 鍍製 BST 薄膜，發現亦不會有 IrO_2 的形成。故可推論 IrO_2 是由於鍍膜時氧原子或離子與 Ir 基板反應而成。故我們提出雙層結構，先以純的 Ar 鍍製一層薄的 BST(50Å)，再以 $\text{Ar}/\text{O}_2 = 1$ 之氣氛下鍍製 BST(950Å)，圖 4-10 如此雖在鍍製第一層 BST 時，不會在界面處形成 IrO_2 ，但在鍍製第二層 BST 時，氧的電漿仍會穿過第一層 BST，並會形成 IrO_2 ，這可由 X-ray 繞射圖形來驗證(圖 4-11)。如此便可控制 IrO_2 的生成，得到一較小的表面粗糙度(21Å)，並在電性上可得到改善。在 550 下鍍製 BST，其漏電流為 $1 \times 10^{-7} \text{A}/\text{cm}^2$ ，介

電常數為 600，由此可知雙層結構確實是可行的，除了可得到較低之漏電流(圖 4-12)，並可得到還不錯之介電常數(圖 4-13)。

(4) 鍍膜參數對成份之影響

BST 薄膜之成份會受到靶材成份、及鍍膜工作氣壓的影響。我們採用 RBS 做 BST 薄膜及靶材成份之鑑定。靶材成份之鑑定結果可由圖 5-14 得知，其劑量比為 $\text{Ba}_{0.5}\text{Sr}_{0.5}\text{TiO}_3$ 。並我們發現因我們在高工作氣壓下鍍膜，故成份之偏移量極少，其劑量比為 $\text{Ba}_{0.49}\text{Sr}_{0.51}\text{Ti}_{1.05}\text{O}_{3.1}$ 。

(5) 結論

(a) 在室溫下鍍膜，之後再以 RT0 退火，其介電常數隨著退火溫度上升而上升，但漏電流亦升高。

(b) 在高工作氣壓鍍膜時，能在初鍍就形成 IrO_2 。

(c) 以高工作氣壓鍍膜，能得到非常高之介電常數，550 可達 926，其原因為 IrO_2 的形成可填補氧空孔。

(d) 以高工作氣壓鍍膜，其漏電流較高，推測其原因為 IrO_2 的形成會導致表面粗糙度過大，以 Pt 及 Ir 下電極鍍製 BST 其表面粗糙度為 19.58、73.25 Å。

(e) 以雙層結構來改善漏電流，發現我們可以得到較低的漏電流，及

還不錯之介電常數。